

LAPORAN PRAKTIKUM
RANGKAIAN SQUENTIAL (FLIP-FLOP)
MATA KULIAH PENGANTAR SISTEM DIGITAL
Dosen: Arif Rifai Dwiyanto, ST., MTI



Oleh:

Hanif Fauziyyah (202410715172)

F3A6

PROGRAM STUDI INFORMATIKA FAKULTAS ILMU KOMPUTER
UNIVERSITAS BHAYANGKARA JAKARTA RAYA

2025

BAB 1

PENDAHULUAN

1.1 Tujuan

1. Mahasiswa memahami konsep rangkaian sequential.
2. Mahasiswa mampu merancang dan mensimulasikan flip-flop dasar (SR, D dan JK)

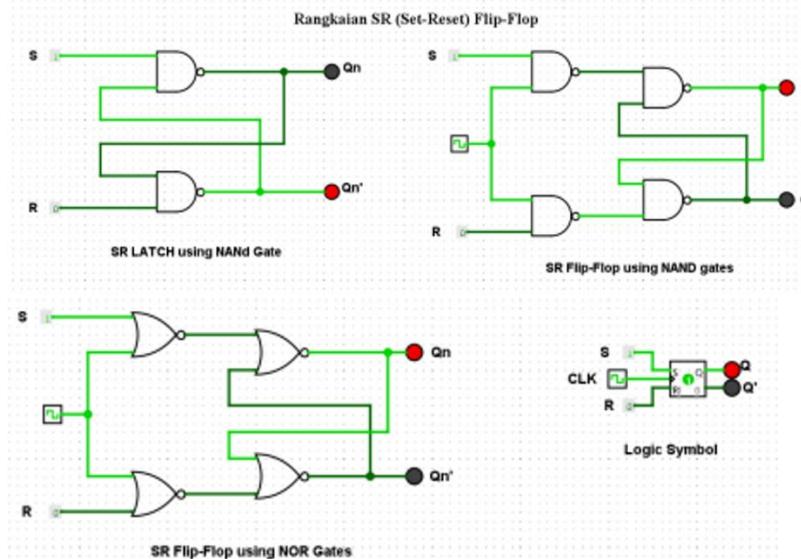
1.2 Alat dan Bahan:

1. Laptop / pc dengan aplikasi Logisim evolution terinstal
2. Modul praktikum
3. Buku catatan
4. Komponen logika gerbang: NOR, NAND, NOT, AND, XOR
5. LED sebagai indikator jumper

1.3 Langkah-langkah kerja:

A. Membuat rangkaian set-rest (flip-flop)

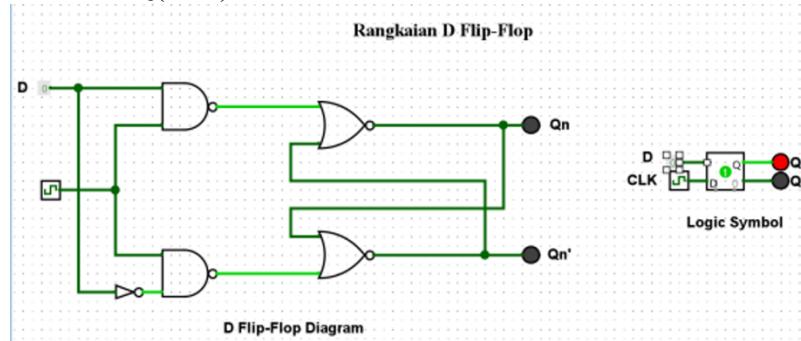
1. Merancang rangkaian flip-flop menggunakan dua gerbang NOR atau NAND
 - a. Keluaran dari setiap gerbang dihubungkan Kembali ke masukan gerbang lain.
 - b. Masukan S dihubungkan ke gerbang NOR/NAND sebelah kiri, sedangkan R ke gerbang sebelah kanan.
2. Pasang LED pada keluaran Q dan Q' sebagai indicator.
3. Lakukan pengujian terhadap berbagai kombinasi masukan S dan R:
 - a. **0 0** = tidak terjadi perubahan
 - b. **0 1** = reset
 - c. **1 0** = set
 - d. **1 1** = tidak valid (NOR) / tidak berubah (NAND)



B. Membuat rangkaian D flip-flop

1. Tambah gerbang NOT pada input D:
 - a. $D \rightarrow S$
 - b. $\text{NOT}(D) \rightarrow R$
2. Rangkaian SR sekarang menjadi flip-flop
3. Simulasikan rangkaian:

- a. $D = 0 \rightarrow Q(\text{next})=0$
- b. $D = 1 \rightarrow Q(\text{next})=1$

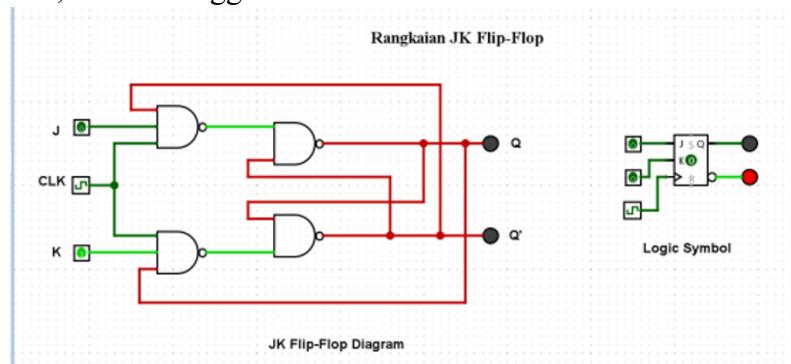


C. Membuat rangkaian JK flip-flop

1. Bangun rangkaian SR flip-flop sebagai dasar.
2. Tambahkan rangkaian logika pengendali untuk input J dan K:
 - a. J diketahui AND dengan Q' sebelum masuk ke S
 - b. K diketahui AND dengan Q sebelum masuk ke R

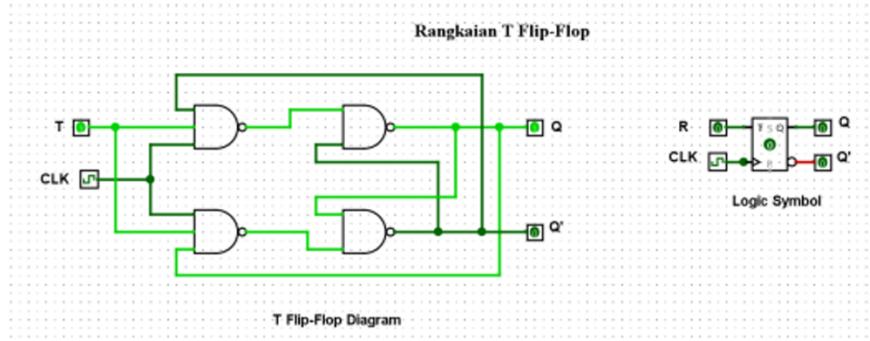
Sehingga:

 - c. $S = J \cdot Q'$
 - d. $R = K \cdot Q$
3. Hubungkan clock bila diperlukan (jika JK yang digunakan adalah edge-triggered).
4. Uji fungsi:
 - a. $J=0, K=0 \rightarrow \text{No Change}$
 - b. $J=0, K=1 \rightarrow \text{Reset}$
 - c. $J=1, K=0 \rightarrow \text{Set}$
 - d. $J=1, K=1 \rightarrow \text{Toggle}$



D. Membuat rangkaian T (toggle) flip-flop

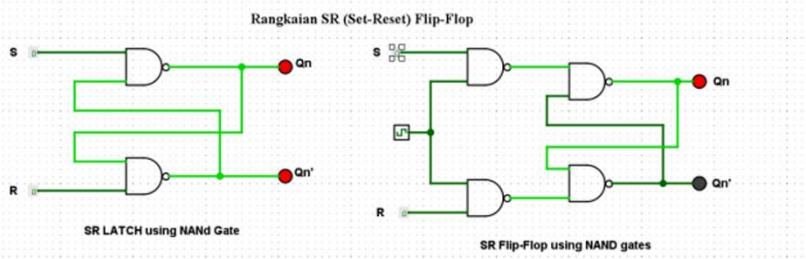
1. Siapkan satu JK flip-flop sebagai dasar.
2. Hubungkan input T ke kedua input JK:
 - a. $J = K$
 - b. $K = T$
3. Hasilnya:
 - a. Jika $T = 0 \rightarrow \text{No Change}$
 - b. Jika $T = 1 \rightarrow \text{Toggle } (Q(\text{next}) = \neg Q)$
4. Uji rangkaian pada simulator untuk memastikan q berubah ketika T = 1



BAB II

HASIL SIMULASI

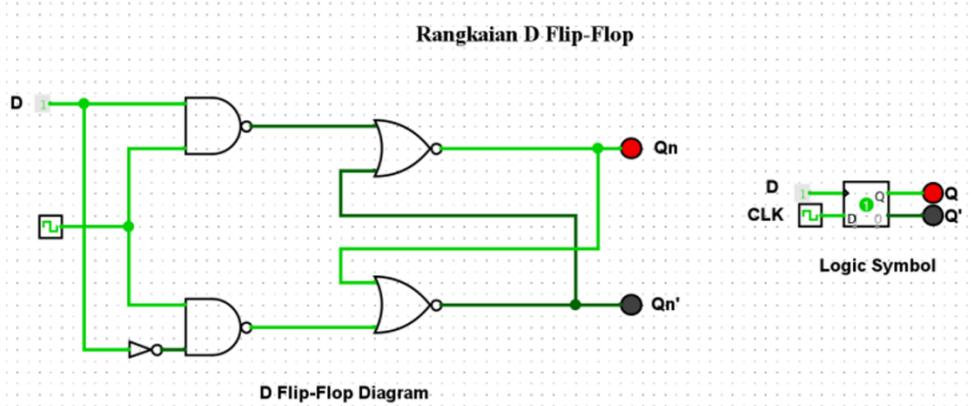
2.1 hasil implementasi rangkaian SR (set-reset) flip-flop



trigger	inputs		output				state
			Present state		Next state		
CLK	S	R	Q	Q'	Q	Q'	
Π	X	X	-		-		No change
Π Π	0	0	0	1	0	1	No change
			1	0	1	0	
Π Π	0	1	0	1	0	1	Reset
			1	0	0	1	
Π Π	1	0	0	1	1	0	set
			1	0	1	0	
Π Π	1	1	0	1	-	-	indeterminate
			1	0	-	-	

Berdasarkan tabel kebenaran yang ditunjukkan, dapat disimpulkan bahwa rangkaian SR flip-flop beroprasi sesuai dengan prinsip kerjanya. Ketika nilai S = 0 dan R = 0, keluaran Q dan Q' tetap mempertahankan kondisi sebelumnya (tidak mengalami perubahan). Pada saat S = 0 dan R = 1 , rangkaian berada dalam keadaan reset dengan keluaran Q = 0 dan Q' = 1. Sebaliknya, Ketika S = 1 dan R = 0, rangkaian berada pada kondisi set dengan keluaran Q = 1 dan Q' = 0. Namun, pada kondisi S = 1 dan R = 1, keluaran menjadi tidak terdefinisi (indeterminate) karena kedua masukan aktif secara bersamaan.

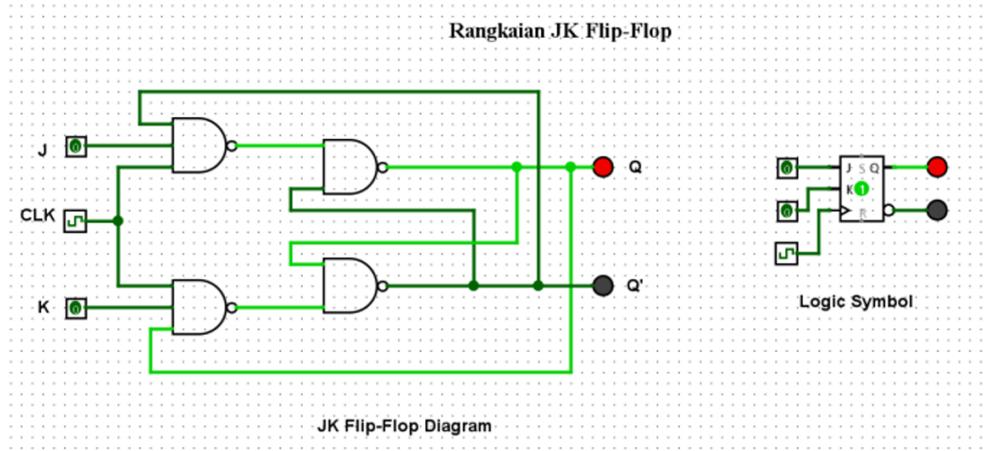
2.2 hasil implementasi rangkaian D flip-flop



trigger	inputs	output				state
		Present state		Next state		
CLK	D	Q	Q'	Q	Q'	
	0	1	1	0	1	No change
Π	0	0	1	0	1	reset
	1	1	1	0	1	No change
Π	1	0	0	0	1	set

Berdasarkan tabel kebenaran tersebut, dapat disimpulkan bahwa rangkaian D flip-flop set beroperasi sesuai dengan karakteristik dasarnya. Ketika sinyal clock berada dalam kondisi aktif, keluaran Q akan mengikuti nilai masukan D. apabila D = 0 , rangkaian berada pada keadaan reset dengan keluaran $Q = 0$ dan $Q' = 1$ dan $Q' = 0$. Selama tidak terjadi perubahan pada sinyal clock, keluaran Q dan Q' akan tetap mempertahankan keadaan sebelumnya (tidak berubah). Hal ini menunjukkan bahwa flip-flop memiliki kemampuan menyimpan data dengan baik dan hanya mengalami perubahan keluaran Ketika dipicu oleh sinyal clock yang aktif.

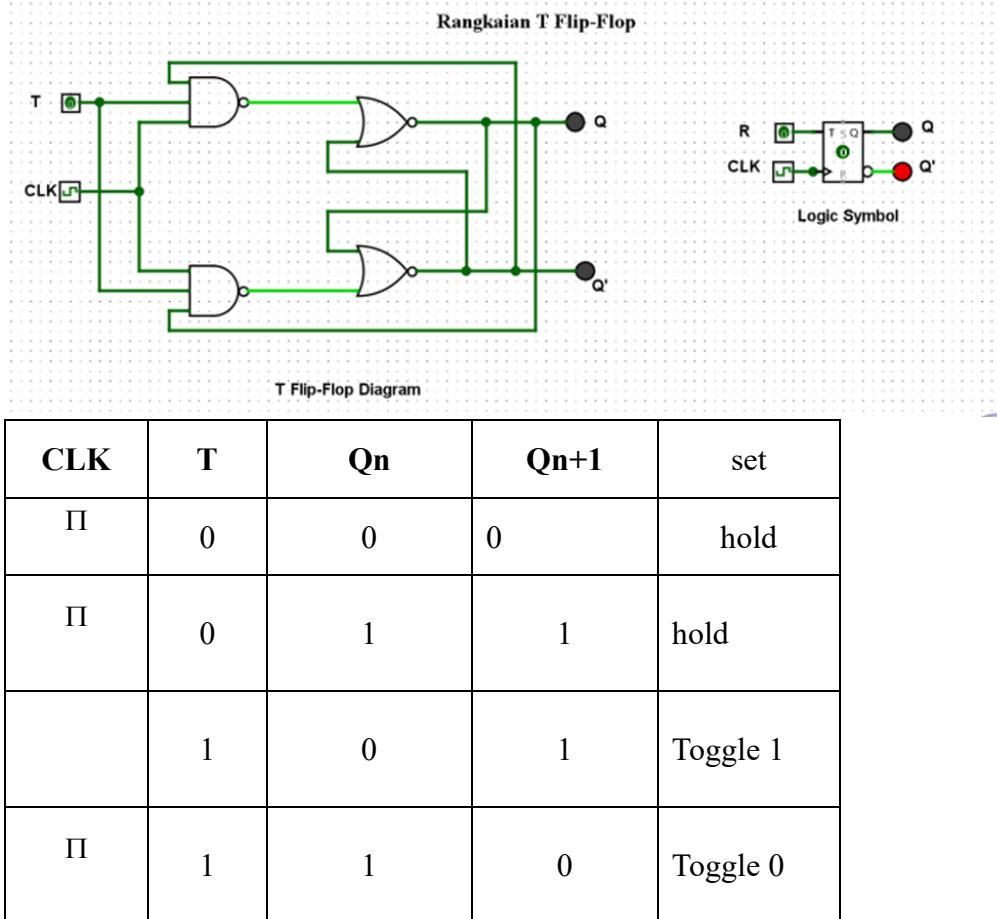
2.3 hasil implementasi rangkaian flip-flop



trigger	inputs		output				state
			Present state		Next state		
CLK	J	K	Q	Q'	Q	Q'	
Π	X	X	-		-		latched
Π	0	0	0	1	0	1	
			1	0	1	0	No change
Π	0	1	0	1	0	1	Reset
			1	0	0	1	
Π	1	0	0	1	1	0	set
			1	0	1	0	
Π	1	1	0	1	-	-	indeterminate
			1	0	-	-	

berdasarkan tabel kebenaran yang ada, dapat disimpulkan bahwa rangkaian JK flip-flop beroprasi sesuai dengan karakteristiknya. Pada saat $J = 0$ dan $K = 0$, keluaran Q dan Q' tetap mempertahankan kondisi sebelumnya (tidak berubah). Ketika $J = 0$ dan $K = 1$, rangkaian berada pada keadaan reset dengan keluaran $Q = 0$ dan $Q' = 1$. Sebaliknya, pada kondisi $J = 1$ dan $K = 0$, rangkaian berada pada keadaan set dengan keluaran $Q = 1$ dan $Q' = 0$. Saat $J = 1$ dan $K = 0$, rangkaian berada pada keadaan set dengan keluaran $Q = 1$ dan $Q' = 0$. Saat $J = 1$ dan $K = 1$, keluaran akan berubah secara bergantian (toggle) mengikuti keadaan sebelumnya. Hal ini menunjukan bahwa JK flip-flop mampu mengatasi kondisi terlarang pada SR flip-flop serta bekerja secara stabil sesuai dengan kombinasi masukan dan sinyal clock.

2.4 hasil implementasui rangkaian t flip-flop



Berdasarkan tabel kebenaran tersebut, dapat disimpulkan bahwa rangkaian T flip-flop beroperasi sesuai dengan prinsip kerjanya. Ketika $T = 0$, keluaran Q tetap mempertahankan kondisi sebelumnya (bold) meskipun sinyal clock berada dalam keadaan aktif. Sebaliknya, saat $T = 1$, keluaran Q akan mengalami perubahan secara toggle, yaitu berpindah dari nilai 0 ke 1 atau dari 1 ke 0 sesuai dengan keadaan sebelumnya. Hasil ini menunjukkan bahwa T flip-flop berfungsi sebagai rangkaian pencacah (toggle flip-flop) dan hanya mengubah keadaan keluarannya Ketika masukan T bernilai aktif.

BAB III

KESIMPULAN

Berdasarkan hasil praktikum yang telah dilaksanakan, dapat disimpulkan bahwa flip-flop sekuensial merupakan salah satu komponen fundamental dalam elektronika digital yang berfungsi sebagai media penyimpanan data biner (0 dan 1). Flip-flop termasuk ke dalam rangkaian sekuensial, di mana nilai keluarannya dipengaruhi oleh masukan saat ini, kondisi sebelumnya, serta dikendalikan oleh sinyal clock. Flip-flop memiliki dua keluaran stabil, yaitu Q dan Q', yang nilainya saling berkomplemen.

Hasil simulasi menunjukkan bahwa SR Flip-Flop memiliki kemampuan dasar dalam menyimpan data dengan kondisi set, reset, no change, serta satu kondisi tidak valid ketika kedua masukan aktif secara bersamaan. D Flip-Flop bekerja dengan meneruskan nilai masukan D ke keluaran Q saat sinyal clock aktif, sehingga bersifat lebih stabil dan banyak digunakan sebagai elemen penyimpanan data. JK Flip-Flop merupakan pengembangan dari SR Flip-Flop yang mampu mengatasi kondisi terlarang, di mana pada saat $J = K = 1$ keluaran akan berubah secara bergantian (toggle). Sementara itu, T Flip-Flop berfungsi sebagai flip-flop pencacah, di mana keluaran akan tetap pada kondisi sebelumnya ketika $T = 0$ dan akan berubah (toggle) saat $T = 1$.

Dengan demikian, hasil simulasi membuktikan bahwa setiap jenis flip-flop memiliki karakteristik dan fungsi yang berbeda, namun saling melengkapi dalam perancangan rangkaian digital yang lebih kompleks, seperti **counter**, **register**, dan **sistem memori**.