

**LAPORAN PRAKTIKUM
PENGANTAR SISTEM DIGITAL**



DOSEN : Arif Rifai Dwiyanto, ST., MTI

Oleh:
Aldina

202410715193

**FAKULTAS ILMU KOMPUTER
PROGRAM STUDI INFORMATIKA
UNIVERSITAS BHAYANGKARA JAKARTA RAYA
2025**

Tujuan:

1. Mahasiswa memahami konsep rangkaian sequential.
2. Mahasiswa mampu merancang dan mensimulasikan flip-flop dasar (SR, D, dan JK).

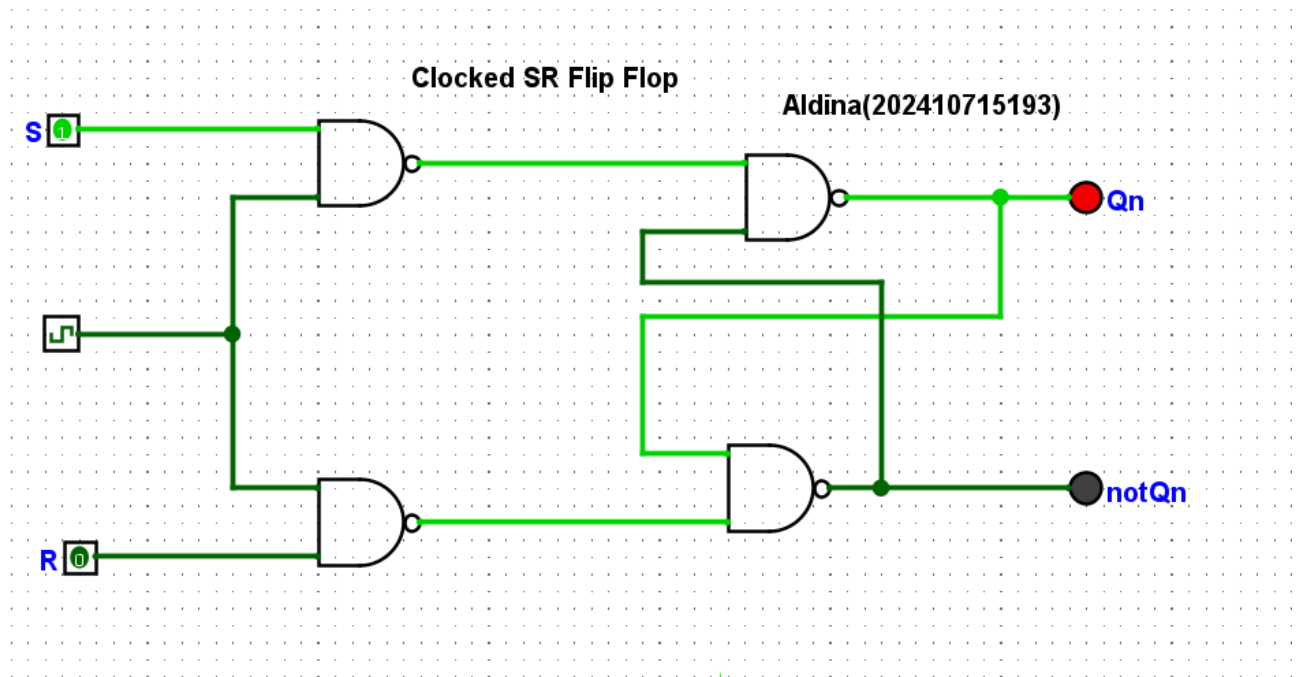
Langkah-Langkah Kerja:**1. SR (Set–Reset) Flip-Flop****a. Rangkaian Dasar SR Flip-Flop**

- Buka Logisim Evolution dan buat project baru.
- Tambahkan **2 gerbang NOR** (atau NAND).
- Hubungkan output masing-masing gerbang ke salah satu input gerbang lainnya (umpan balik).
- Tambahkan input **S (Set)** dan **R (Reset)** menggunakan Pin.
- Hubungkan output **Q** dan **Q'** ke LED.

TABEL KEBENARAN:

S	R	Q(Next)	Keterangan
0	0	Q(t)	Tidak berubah
0	1	0	Reset
1	0	1	Set
1	1	Tidak valid	Kondisi terlarang

Contoh gambar di Logisim:



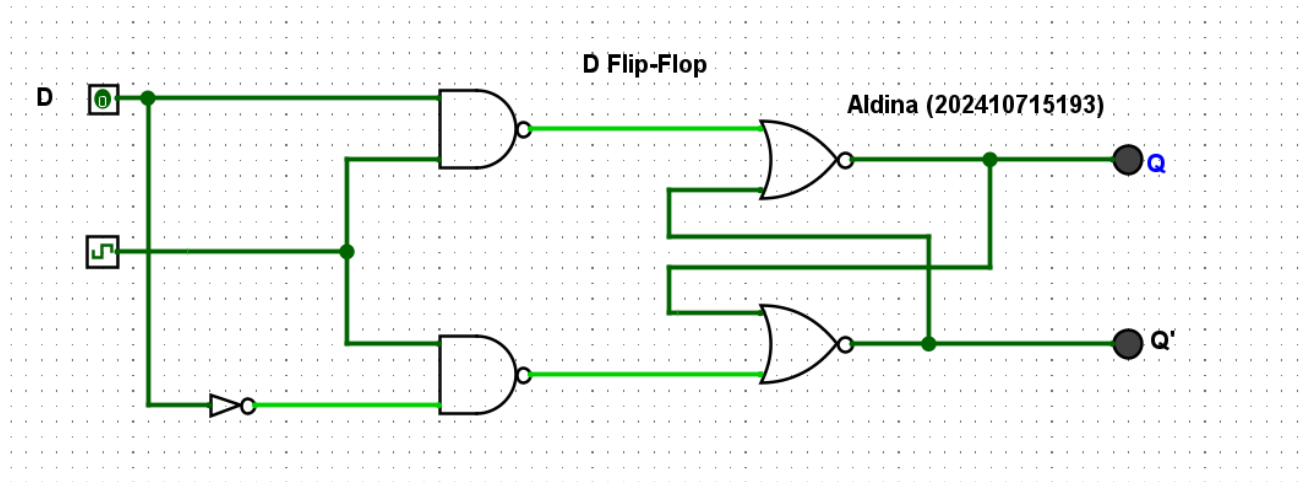
2. D (Data) Flip-Flop

- Gunakan rangkaian SR Flip-Flop yang telah dibuat.
- Tambahkan satu gerbang NOT.
- Hubungkan input D langsung ke input S.
- Hubungkan output NOT(D) ke input R.
- Tambahkan input Clock (CLK) bila tersedia.
- Simulasikan perubahan output Q berdasarkan nilai D.

TABEL KEBENARAN:

D	Q(Next)
0	0
1	1

Contoh gambar di Logisim:



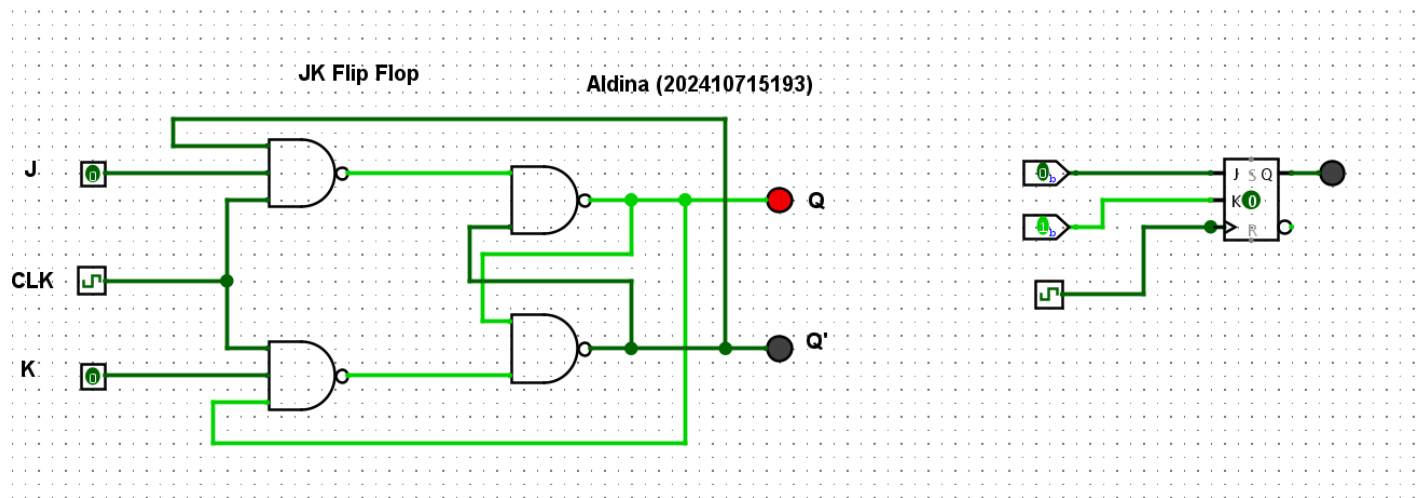
3. JK Flip-Flop

- Bangun rangkaian JK Flip-Flop dengan memodifikasi SR Flip-Flop.
- Tambahkan gerbang AND dan NOT untuk mengatur kondisi input J dan K.
- Hubungkan sinyal Clock sebagai pengendali.
- Tambahkan LED pada output Q dan Q'.
- Lakukan simulasi untuk setiap kombinasi J dan K.

Tabel Kebenaran:

J	K	Q(Next)	Keterangan
0	0	Q(t)	Tidak berubah
0	1	0	Reset
1	0	1	Set
1	1	Q'(t)	Toggle

Contoh gambar di Logisim:

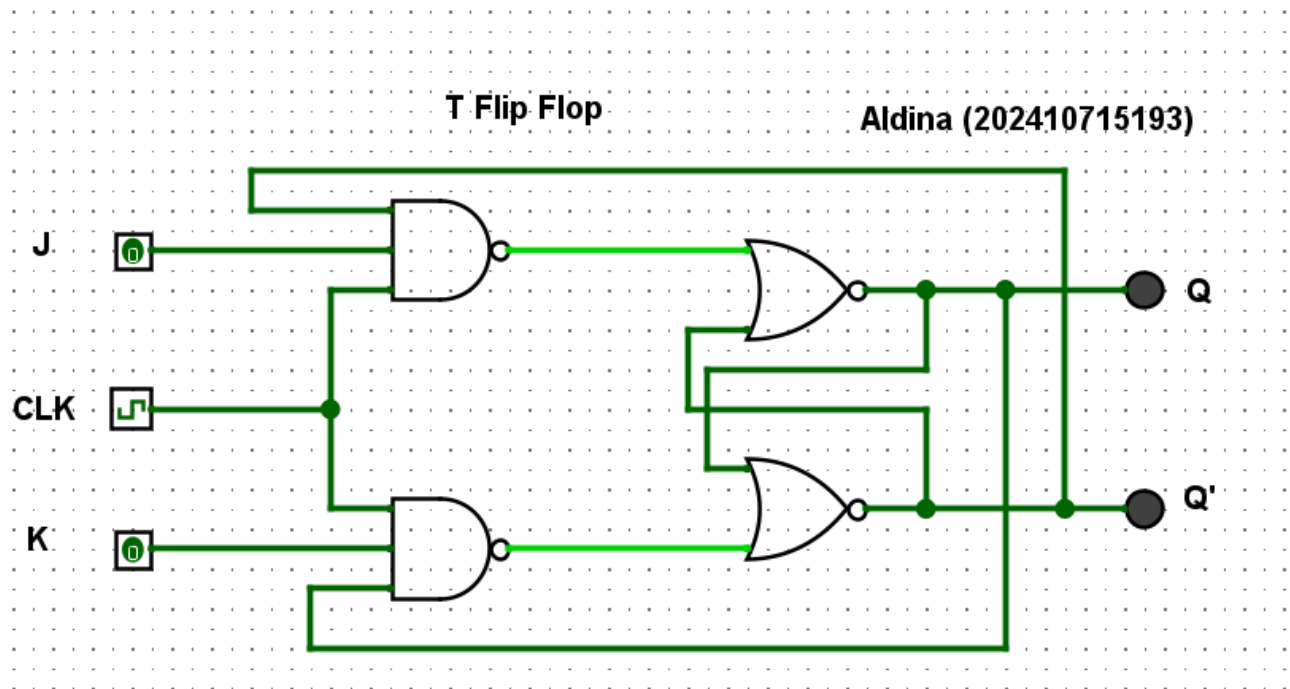


4. T (Toggle) Flip-Flop

1. Bangun T Flip-Flop dari JK Flip-Flop.
2. Hubungkan input J dan K menjadi satu input T.
3. Tambahkan Clock sebagai pemicu.
4. Amati perubahan output Q setiap pulsa clock.

T	Q(Next)	Keterangan
0	Q(t)	Tidak berubah
1	Q(t)	toggle

Contoh gambar di Logisim;



Kesimpulan:

Berdasarkan hasil praktikum yang telah dilakukan, dapat disimpulkan bahwa flip-flop merupakan komponen dasar rangkaian sekuensial yang berfungsi sebagai elemen penyimpan satu bit data. Berbeda dengan rangkaian kombinasi, keluaran flip-flop dipengaruhi oleh kondisi input saat ini serta keadaan sebelumnya.

Pada praktikum ini telah berhasil dirancang dan disimulasikan beberapa jenis flip-flop, yaitu SR, D, JK, dan T Flip-Flop menggunakan aplikasi Logisim Evolution. Dari hasil simulasi, diketahui bahwa SR Flip-Flop memiliki kondisi terlarang ketika kedua input aktif secara bersamaan, sehingga dapat menyebabkan keadaan tidak stabil. Untuk mengatasi kelemahan tersebut, D Flip-Flop dan JK Flip-Flop digunakan karena memiliki perilaku yang lebih terkontrol dan aman dalam penyimpanan data.

